

ÇİP TASARIM YARIŞMASI ANALOG TASARIM KATEGORİSİ ÖN TASARIM RAPORU

Takım Adı: AETHER

Başvuru ID: 469664

2026

0. Kapak ve Yönetici Özeti

itkan-8 projesi, 8 Gbps yüksek hızlı seri veri alıcı ön-ucu (AFE) ve 1.25V bandgap referans (BGR) tasarımını içeren analog çip geliştirme projesidir. Proje, kanal kayıplarına dayanıklı eşitleme ve kararlı referans üretimi problemini çözmektedir.

1. Giriş ve Problem Tanımı

Yüksek hızlı seri haberleşme kanallarında 10-20 dB sinyal kaybı, göz diyagramının kapanmasına ve veri hatalarına yol açar. Ayrıca besleme ve sıcaklık değişimleri referans gerilimini etkileyerek AFE bloklarının bias noktasını bozabilir.

2. Sistem Mimarisi

Sistem iki ana bloktan oluşur:

- AFE (Analog Front-End):
 - 50Ω diferansiyel terminasyon
 - Programlanabilir CTLE (10/20 dB kanal modu)
 - İki kademeli geniş bant yükselteç
 - 20 fF karar verici yükü
- BGR (Bandgap Reference):
 - Opamp tabanlı bandgap çekirdeği (Brokaw tipi)
 - 16µA referans akım kaynağı
 - Start-up devresi
 - 3-bit trim ağı (TC optimizasyonu için)

3. AFE Topoloji Seçimi ve Teknik Gerekçe

Seçilen Topoloji: Source-degenerated differential CTLE + Limiting amplifier cascade

Teknik Gerekçe:

- Dejenere induktörsüz yapı: 4 GHz'e kadar düz boost sağlar, layout sonrası öngörülebilir
- İndüktörlü alternatif reddedildi: Q faktörü düşük, layout alanı fazla, PEX hassasiyeti yüksek
- Programlanabilir boost: AFE_Config<0> ile 10 dB ve 20 dB kanalları tek topolojiyle desteklenir
- Limiting amp: Sabit çıkış genliği, karar verici için optimum sinyal seviyesi

8 Gbps Erişim Stratejisi:

- Bant genişliği hedefi: >6 GHz (-3dB)
- PRBS-7 pattern ile transient simülasyon
- Eye diagram ölçümü: yükseklik ≥ 290 mVpp,diff, genişlik ≥ 0.42 UI

4. BGR Topoloji Seçimi ve Teknik Gerekçe

Seçilen Topoloji: Opamp tabanlı Brokaw tipi bandgap + trim ağı

Teknik Gerekçe:

- Opamp kullanımı: Line regulation ve PSRR için avantaj (closed-loop feedback)
- MOS-subthreshold alternatif reddedildi: PDK'da BJT karakterizasyonu mevcut ve güvenilir
- 3-bit trim: Post-silicon TC düzeltmesi için esneklik (8 adım direnç oranı)
- Kaskotlu bias: PSRR iyileştirmesi, özellikle yüksek frekanslarda

TC Hedefine Ulaşım:

- İlk hedef: $<10 \text{ ppm}/^{\circ}\text{C}$ (şartname: $\leq 15 \text{ ppm}/^{\circ}\text{C}$, %33 marj)
- Temp sweep: $-40^{\circ}\text{C}..125^{\circ}\text{C}$, 5°C adımlarla
- Trim optimizasyonu: Corner simülasyonlarıyla kalibre edilecek

PSRR Stratejisi:

- Hedef: $\leq -8 \text{ dB @1kHz}$, $\leq -3 \text{ dB @10MHz}$, $\leq -1 \text{ dB @1GHz}$
- Yöntem: AC injection (100mV ripple) + on-chip filtering

5. Hedef Performans Tablosu ve Tasarım Marjları

| Kriter | Şartname | Tasarım Hedefi | Marj | Test Metodu |
|--------------------------|------------------------------------|-----------------------------|------|-------------------------------------|
| AFE Kriterleri | | | | |
| Veri Hızı | 8 Gbps | 8 Gbps | - | Transient + PRBS-7 pattern |
| Göz Yüksekliği | ≥ 250 mVpp,diff $\pm 10\%$ | ≥ 290 mVpp,diff | +16% | Eye diagram measurement |
| Göz Genişliği | ≥ 0.35 UI | ≥ 0.42 UI | +20% | Eye diagram measurement |
| S11 | <-10 dB | <-12 dB | 2 dB | AC port analysis 0-4 GHz |
| Kanal Kaybı | 10/20 dB @4GHz | 10/20 dB @4GHz | - | iki mod CTLE config |
| Çıkış Yüğü | 20 fF | 20 fF | - | Capacitive load |
| BGR Kriterleri | | | | |
| VREF | 1.25 V | 1.25 V $\pm 0.5\%$ | - | DC operating point |
| IREF | 16 μ A | 16 μ A $\pm 2\%$ | - | DC current measurement |
| Sıcaklık Katsayısı | ≤ 15 ppm/ $^{\circ}$ C | ≤ 10 ppm/ $^{\circ}$ C | 33% | Temp sweep -40..125 $^{\circ}$ C |
| PSRR @ 1kHz | <0 dB | ≤ -8 dB | 8 dB | AC PSU injection |
| PSRR @ 10MHz | <0 dB | ≤ -3 dB | 3 dB | AC PSU injection |
| PSRR @ 1GHz | <0 dB | ≤ -1 dB | 1 dB | AC PSU injection |
| Sıcaklık Aralığı | -40..125 $^{\circ}$ C | -40..125 $^{\circ}$ C | - | Temp corners |
| Besleme Aralığı | 1.62-1.98 V | 1.62-1.98 V | - | VDD sweep |
| Post-Layout Hedef | | | | |
| DRC | 0 kritik hata | 0 hata | - | PVS/Pegasus DRC deck |
| LVS | Match | Match | - | PVS/Pegasus LVS deck |
| Sch-PEX fark | - | <10% kritik metriklerde | - | Karşılaştırma tablosu |

6. Doğrulama Planı ve Test Matrix

AFE Test Matrix:

| Test ID | İster | Analiz Tipi | Test Girişi | Beklenen Çıkış | Geçme Kriteri |
|---------|-----------------|--------------------------|------------------------|------------------------|---------------------------|
| AFE-01 | 8 Gbps çalışma | Transient | PRBS-7, 8 Gbps NRZ | Göz açık | Eye height/ width hedefte |
| AFE-02 | 10/20 dB kanal | Transient + kanal modeli | İki kanal profili | Her modda göz | Config değiştirme çalışır |
| AFE-03 | 50Ω terminasyon | DC OP + AC | Diff pair load | Reff ≈ 50Ω | AC analizi ile doğru |
| AFE-04 | S11 hedefi | S-parameter / AC | Port 1: VINP/ VINN | S11 <-10 dB | 0-4 GHz bantta |
| AFE-05 | Göz yüksekliği | Eye diagram | PRBS-7 @ 8 Gbps | ≥290 mVpp,diff | Measurement cursor |
| AFE-06 | Göz genişliği | Eye diagram | PRBS-7 @ 8 Gbps | ≥0.42 UI | Measurement cursor |
| AFE-07 | 20 fF yük sürme | Transient | Nominal bias + CL=20fF | Eye korunur | AFE-05/06 pass |
| AFE-08 | Config modları | Parametrik sweep | AFE_Config<0 >=0/1 | Her modda farklı boost | CTLE transfer fonksiyonu |

BGR Test Matrix:

| Test ID | İster | Analiz Tipi | Test Girişi | Beklenen Çıkış | Geçme Kriteri |
|---------|------------------|--------------|------------------------|--------------------|-------------------|
| BGR-01 | 1.25V referans | DC OP | VDD=1.8V, T=27°C | VREF=1.25V | ±0.5% tolerans |
| BGR-02 | 16μA referans | DC current | VDD=1.8V, T=27°C | IREF=16μA | ±2% tolerans |
| BGR-03 | TC hedefi | Temp sweep | -40..125°C, 5°C step | TC ≤10 ppm/ °C | Linear fit sonucu |
| BGR-04 | Line regulation | VDD sweep | 1.62..1.98V, 10mV step | ΔVREF minimal | <0.1%/V |
| BGR-05 | Start-up | Transient | VDD ramp 0 → 1.8V | Doğru bias noktası | Yanlış latch yok |
| BGR-06 | PSRR | AC injection | 100mV@VDD, 1Hz-10GHz | PSRR <0 dB | Frekans sweep |
| BGR-07 | Operating region | DC OP | Nominal bias | Tüm MOS doyumda | Start-up hariç |

Post-Layout Test Matrix:

| Test ID | İçerik | Araç | Geçme Kriteri |
|---------|------------------|-----------------------|------------------------------|
| PL-01 | AFE post-PEX | Spectre + PEX netlist | AFE-01..AFE-08 korunur |
| PL-02 | BGR post-PEX | Spectre + PEX netlist | BGR-01..BGR-07 korunur |
| PL-03 | DRC temizlik | PVS/Pegasus DRC | 0 kritik hata |
| PL-04 | LVS match | PVS/Pegasus LVS | Schematic = Layout |
| PL-05 | Sch vs PEX delta | Karşılaştırma script | Kritik metriklerde <10% fark |

7. İş Planı, Görev Dağılımı ve Risk Planı

Sprint Takvimi:

| Sprint | Tarih | Ana Hedef | Çıkış Kriteri |
|----------|----------------|-------------------|--|
| Sprint-1 | 13-23 Şub 2026 | Mimari dondurma | Topoloji seçimi tamamlandı, 3 testbench iskeleti hazır |
| Sprint-2 | 24 Şub-7 Mar | Şematik v1 | AFE+BGR TT/27°C'de kaba hedeflere yakın |
| Sprint-3 | 8-15 Mar | ÖTR yazımı | ÖTR teslimi hazır (16 Mart 17:00) |
| Sprint-4 | 17 Mar-5 Nis | İnce ayar | Şematik pass/margin durumda |
| Sprint-5 | 6-27 Nis | Layout başlangıcı | BGR post-layout ilk sonuçlar |
| Sprint-6 | 28 Nis-14 May | DTR yazımı | DTR teslimi hazır (15 Mayıs 17:00) |
| Sprint-7 | 16 May-31 Tem | Signoff + Final | DRC/LVS temiz, nihai teslim paketi (31 Temmuz 17:00) |

Teknik Riskler ve Azaltma Planı:

| Risk ID | Risk Tanımı | Olasılık | Etki | Azaltma Aksiyonu | Tetikleyici | Sorumlu |
|---------|----------------------------|----------|--------|---|-------------------------|-----------------|
| R-01 | Post-layout TC bozulması | Orta | Yüksek | Trim açığı ekle, common-centroid layout | TC >12 ppm/°C (PEX) | BGR tasarımcı |
| R-02 | Eye kapanması (post-PEX) | Orta | Yüksek | Şematik hedefi %20 marjlı belirle | Eye <0.38 UI (PEX) | AFE tasarımcı |
| R-03 | DRC ihlali (metal density) | Düşük | Orta | Guard ring + dummy fill stratejisi | İlk DRC run'da >10 hata | Layout engineer |
| R-04 | PSRR düşmesi (parazitik) | Orta | Orta | On-chip decap + yerel filtreleme | PSRR >-5 dB @1kHz (PEX) | BGR tasarımcı |
| R-05 | Cadence lisans kesintisi | Düşük | Yüksek | Haftalık backup + cloud yedekleme | Lisans 2 gün erişilemez | Proje lideri |

Görev Dağılımı:

| Takım Üyesi | Rol | Sorumluluk | Sprint Odağı |
|-------------|---------------------|---------------------------------|--------------|
| [İsim-1] | AFE Tasarımcı | CTLE + Yükselteç şematik/layout | S1-S7 |
| [İsim-2] | BGR Tasarımcı | Bandgap + trim şematik/layout | S1-S7 |
| [İsim-3] | Doğrulama Mühendisi | Testbench + otomasyon | S2-S6 |
| [İsim-4] | Layout/Signoff | Fiziksel tasarım + DRC/LVS | S5-S7 |
| [İsim-5] | Proje Lideri | Entegrasyon + raporlama | S1-S7 |

8. Kaynakça

- [1] B. Razavi, "Design of Integrated Circuits for Optical Communications", 2nd ed., Wiley, 2012.
- [2] Teknofest 2026 Analog Çip Tasarım Yarışması Şartnamesi, TÜBİTAK, 2026.
- [3] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits", 5th ed., Wiley, 2009.
- [4] Cadence Design Systems, "Virtuoso Schematic Editor User Guide", v21.1, 2023.
- [5] Cadence Design Systems, "Spectre Circuit Simulator Reference", v21.1, 2023.
- [6] M. J. M. Pelgrom, "Analog-to-Digital Conversion", 3rd ed., Springer, 2017.
- [7] K. Bult and G. Geelen, "A fast-settling CMOS op amp for SC circuits with 90-dB DC gain," IEEE J. Solid-State Circuits, vol. 25, no. 6, pp. 1379-1384, Dec. 1990.
- [8] H. Banba et al., "A CMOS bandgap reference circuit with sub-1-V operation," IEEE J. Solid-State Circuits, vol. 34, no. 5, pp. 670-674, May 1999.