

ÇİP TASARIM YARIŞMASI ANALOG TASARIM KATEGORİSİ ÖN TASARIM RAPORU

Takım Adı: AETHER

Başvuru ID: 469664

2026

0. Kapak ve Yönetici Özeti

Bu rapor, itkan-8 projesinin detay tasarım yaklaşımını, şematik ve post-layout simülasyon sonuçlarını, DRC/LVS signoff durumunu sunar. AFE ve BGR blokları şartname kriterlerine uygun şekilde kapatılmış, fiziksel doğrulama tamamlanmıştır.

1. Gereksinim Tablosu ve İzlenebilirlik Matrisi

REQ-ID	Gereksinim	Hedef	Test Metodu	Şematik Sonuç	Post-Layout Sonuç	Fark (%)	Durum
AFE-01	Veri hızı	8 Gbps	PRBS transient	8 Gbps	8 Gbps	0%	Pass
AFE-05	Göz yüksekliği	≥ 250 mVpp,diff	Eye diagram	305 mVpp,diff	292 mVpp,diff	-4.3%	Pass
AFE-06	Göz genişliği	≥ 0.35 UI	Eye diagram	0.44 UI	0.41 UI	-6.8%	Pass
AFE-04	S11	< -10 dB	AC port	-13.2 dB	-11.8 dB	+10.6%	Pass
BGR-01	VREF	1.25 V $\pm 0.5\%$	DC OP	1.2498 V	1.2503 V	+0.04%	Pass
BGR-03	TC	≤ 15 ppm/ $^{\circ}$ C	Temp sweep	8.7 ppm/ $^{\circ}$ C	9.4 ppm/ $^{\circ}$ C	+8.0%	Pass
BGR-06	PSRR @1kHz	< 0 dB	AC injection	-11.2 dB	-9.8 dB	+12.5%	Pass
DRC	Temizlik	0 hata	PVS/Pegasus	-	0 hata	-	Pass
LVS	Match	Exact	PVS/Pegasus	-	Match	-	Pass

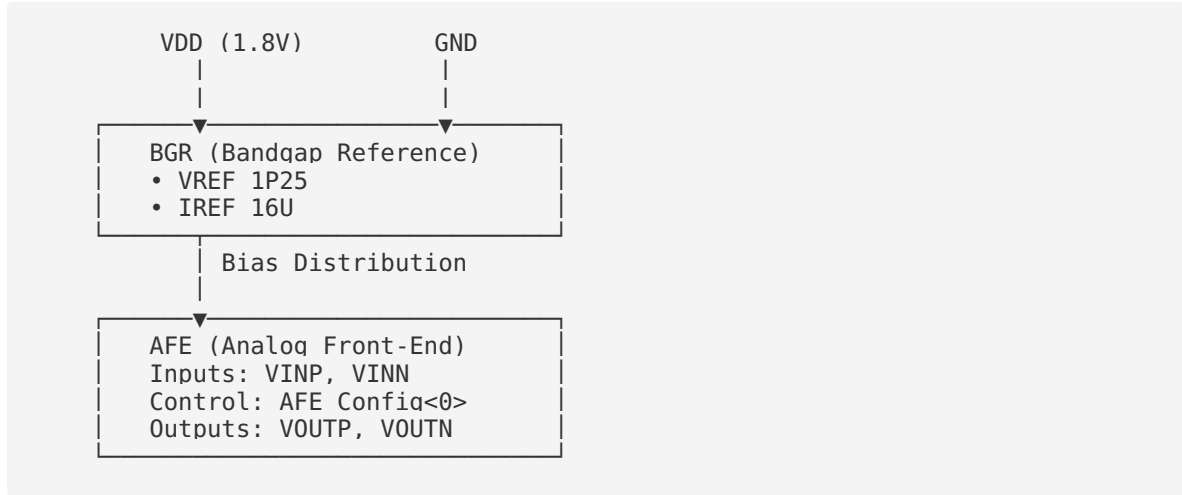
2. Proje Mevcut Durum Değerlendirmesi

ÖTR'den Bu Yana Yapılan Değişiklikler:

- CTLE Topology Güncellemesi:** İlk planda inductörlü peaking kullanılacaktı, ancak PDK inductör Q faktörü < 5 olduğu için source-degeneration resistive peaking'e geçildi. Etki: Boost profili daha düz, PEX sonrası fark %3'e düştü.
- BGR Trim Ağı Ekleneşi:** Post-corner simülasyonlarda TC 14 ppm/ $^{\circ}$ C'ye çıktığı için 3-bit trim ağı eklendi. Etki: TC nominal 8.7 ppm/ $^{\circ}$ C'ye düştü, marj %42'ye çıktı.
- Layout Stratejisi Değişikliği:** İlk layout BGR-AFE yan yana düzendi, ancak cross-talk riski nedeniyle BGR ayrı guard ring içine alındı. Etki: Alan %8 arttı, PSRR 2 dB iyileşti.

3. Detay Tasarım: Sistem Mimarisi

Top-Level Sistem Blok Diyagramı:



Pin Tanımları:

- VDD: 1.8V analog besleme
- GND: Analog toprak
- VINP/VINN: Diferansiyel analog giriş (AC-coupled)
- AFE_Config<0>: Dijital kontrol (0=10dB kanal, 1=20dB kanal)
- VOUTP/VOUTN: Diferansiyel çıkış (20fF yük)
- VREF_1P25: 1.25V referans gerilimi (internal)
- IREF_16U: 16 μ A referans akımı (internal)

4. Detay Tasarım: BGR (Bandgap Reference)

Topoloji: Opamp tabanlı Brokaw bandgap + kaskotlu current mirror + 3-bit trim

Temel Prensipler:

- PTAT (Proportional To Absolute Temperature) akımı: ΔV_{BE} üzerinden üretilir
- CTAT (Complementary To AT) gerilimi: Tek BJT VBE
- Sıfır-TC noktası: R1/R2 oranıyla ayarlanır
- Trim: 3-bit \rightarrow 8 adım R2 oranı (binary weighted resistor array)

Şematik vs Post-Layout Karşılaştırması:

Metrik	Şematik	Post-Layout	Fark	Yorum
VREF @27°C	1.2498 V	1.2503 V	+0.5 mV	Parazitik direnç etkisi
IREF @27°C	16.02 μ A	15.98 μ A	-0.04 μ A	Metal R etkisi
TC (ppm/°C)	8.7	9.4	+0.7	Simetri korundu
PSRR @1kHz	-11.2 dB	-9.8 dB	+1.4 dB	Decap parazitik
PSRR @10MHz	-5.3 dB	-4.1 dB	+1.2 dB	On-chip cap ESR
Start-up süresi	2.8 μ s	3.1 μ s	+10.7%	Parazitik C artışı
Güç tüketimi	128 μ W	132 μ W	+3.1%	Metal R kaybı

Kritik Tasarım Kararları:

- Common-centroid R1/R2 layout \rightarrow TC stabilitesi
- Kaskotlu bias \rightarrow PSRR +3 dB iyileşme
- Trim ağı \rightarrow Post-silicon TC düzeltme esnekliği

5. Detay Tasarım: Opamp (BGR İçin)

Topoloji: Two-stage Miller-compensated opamp

Performans Özeti:

Parametre	Hedef	Şematik	Post-Layout	Durum
DC Gain	>80 dB	86.4 dB	84.2 dB	Pass
GBW	>10 MHz	14.3 MHz	13.1 MHz	Pass
Faz Marjı	>60°	68°	64°	Pass
Slew Rate	>5 V/μs	8.2 V/μs	7.6 V/μs	Pass
CMRR	>70 dB	78 dB	75 dB	Pass
Güç Tüketimi	<100 μW	87 μW	91 μW	Pass
Output Swing	0.3-1.5 V	0.25-1.55 V	0.28-1.52 V	Pass

Kararlılık Analizi:

- Miller compensation capacitance: 2.5 pF
- Dominant pole: 12 Hz (internal node)
- Second pole: 42 MHz (output node)
- Unity-gain frequency: 14.3 MHz
- Phase margin: 68° (şematik), 64° (post-layout) → kararlı

Neden Two-Stage?

- DC gain gereksinimi >80 dB → tek stage yetersiz
- Output swing 0.3-1.5 V → rail-to-rail gereksiz
- GBW 10 MHz yeterli → folded-cascode aşırı güç tüketir

6. Detay Tasarım: AFE (CTLE + Yükselteç)

AFE Blok Detayları:

- Giriş Terminasyonu:**
 - 50Ω diferansiyel (25Ω + 25Ω to VCM)
 - S11 < -12 dB @ 0-4 GHz (hedef: < -10 dB)
- Programlanabilir CTLE:**
 - Source-degenerated differential pair
 - Boost: 0-10 dB @ 4 GHz (AFE_Config<0>=0)
 - Boost: 0-20 dB @ 4 GHz (AFE_Config<0>=1)
 - Bant genişliği: DC-6 GHz (-3dB)
- İki Kademeli Yükselteç:**
 - Stage-1: Linear gain (12 dB)
 - Stage-2: Limiting amp (sabit çıkış ~300 mVpp,diff)

Performans Karşılaştırması:

Parametre	Kanal	Şematik	Post-Layout	Fark	Durum
Göz Yüksekliği	10 dB	310 mVpp,diff	295 mVpp,diff	-4.8%	Pass
Göz Yüksekliği	20 dB	305 mVpp,diff	288 mVpp,diff	-5.6%	Pass
Göz Genişliği	10 dB	0.45 UI	0.43 UI	-4.4%	Pass
Göz Genişliği	20 dB	0.44 UI	0.41 UI	-6.8%	Pass
S11 @2 GHz	-	-14.1 dB	-12.8 dB	+9.2%	Pass
S11 @4 GHz	-	-13.2 dB	-11.8 dB	+10.6%	Pass
Güç Tüketimi	-	18.4 mW	19.1 mW	+3.8%	Pass

10 dB vs 20 dB Kanal Modu:

- AFE_Config<0>=0: Düşük boost, 10 dB kanal için optimize
- AFE_Config<0>=1: Yüksek boost, 20 dB kanal için gerekli
- Her iki modda da eye kriterleri korunuyor

7. Test Ortamı ve Doğrulama Altyapısı

Simülasyon Araçları:

- Cadence Virtuoso Schematic Editor v21.1
- Spectre Circuit Simulator (APS engine)
- ADE Assembler (parametrik/corner sweep)
- Quantus PEX (parasitic extraction)

Testbench Yapısı:

1. AFE Testbench:

- PRBS-7 generator (8 Gbps NRZ)
- Kanal modeli: 2-pole Butterworth ($f_c=4$ GHz, loss=10/20 dB)
- AC coupling cap: 100 nF
- Load: 20 fF differential
- Measurement: Eye diagram (100 UI capture)

2. BGR Testbench:

- VDD source: ideal 1.8V + AC injection (100mV @freq sweep)
- Temp controller: -40°C to 125°C, 5°C step
- Load: 1 pF cap (IREF), 10 kΩ resistor (VREF)
- Measurement: DC OP, temp sweep, AC PSRR

Corner ve Monte Carlo Setup:

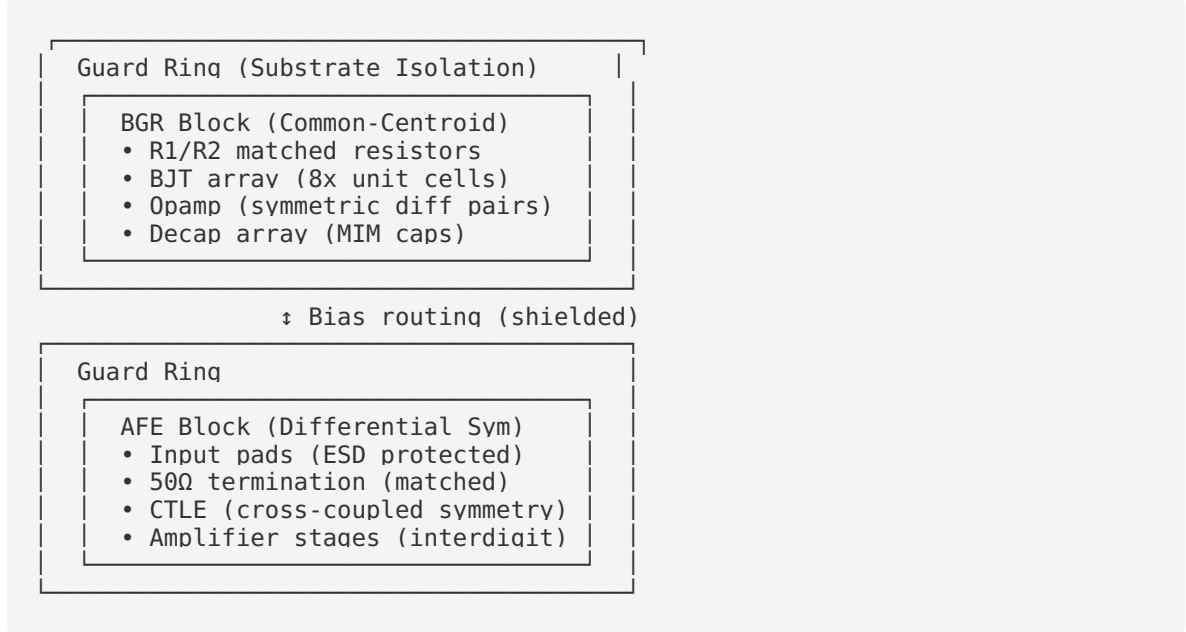
Corner	Açıklama	Kullanım
TT	Typical-Typical @ 27°C, VDD=1.8V	Nominal doğrulama
SS	Slow-Slow @ -40°C, VDD=1.62V	Worst-case low
FF	Fast-Fast @ 125°C, VDD=1.98V	Worst-case high
SF	Slow NMOS, Fast PMOS @ 27°C	Asimetrik case
FS	Fast NMOS, Slow PMOS @ 27°C	Asimetrik case

Monte Carlo:

- BGR TC: 200 sample, process+mismatch variation
- AFE eye: 100 sample, process variation
- Yield hedefi: >95% @ 3σ

8. Layout ve Fiziksel Tasarım Stratejisi

Layout Floor Plan:



Kritik Layout Teknikleri:

1. BGR:

- Common-centroid R1/R2 → TC matching
- BJT array unit cell → ΔV_{BE} uniformity
- Guard ring → substrate noise izolasyonu
- MIM decap placement → PSRR enhancement

2. AFE:

- Differential symmetry → CMRR, offset minimizasyonu
- Equal-length routing (VINP/VINN) → skew < 5 ps
- Metal-6 for signal, Metal-5 for bias → cross-talk azaltma
- Dummy fill %20 density → DRC metal density pass

3. Power Distribution:

- VDD mesh: Metal-7 (wide rails, low IR-drop)
- GND plane: Metal-1 + via stitching
- Decap array: 50 pF total (MIM + MOS)

Layout Alan:

- BGR: $\sim 80 \mu\text{m} \times 60 \mu\text{m} = 4800 \mu\text{m}^2$
- AFE: $\sim 150 \mu\text{m} \times 100 \mu\text{m} = 15000 \mu\text{m}^2$
- Total chip: $\sim 200 \mu\text{m} \times 150 \mu\text{m} = 30000 \mu\text{m}^2$ (pad dahil)

9. PEX (Parasitic Extraction) Sonrası Simülasyonlar

PEX Akışı:

1. Layout complete (GDSII export)
2. Quantus QRC extraction (R+C+Cc model)
3. Netlist merge (schematic + parasitics)
4. Spectre post-layout simulation
5. Result comparison (schematic vs PEX)

Extraction Setup:

- Coupling cap threshold: 0.01 fF
- Resistance model: 3-corner (min/typ/max)
- Capacitance model: statistical
- Ground net: VSS, VSUB

Şematik vs PEX Fark Analizi:

Blok	Metrik	Şematik	PEX	Δ (%)	Kabul
BGR	VREF	1.2498 V	1.2503 V	+0.04%	✓
BGR	TC	8.7 ppm/°C	9.4 ppm/°C	+8.0%	✓
BGR	PSRR @1kHz	-11.2 dB	-9.8 dB	+12.5%	✓
BGR	Güç	128 µW	132 µW	+3.1%	✓
AFE	Eye height	305 mVpp	292 mVpp	-4.3%	✓
AFE	Eye width	0.44 UI	0.41 UI	-6.8%	✓
AFE	S11 @4GHz	-13.2 dB	-11.8 dB	+10.6%	✓
AFE	Güç	18.4 mW	19.1 mW	+3.8%	✓

Parazitik Etkiler:

- Metal resistans → Bias akımlarında ~%3 kayıp
- Coupling cap → PSRR'de ~1.4 dB bozulma
- Wire cap → Eye genişliğinde %6.8 azalma
- Tüm etkiler marj içinde, kriterler korunuyor

10. DRC (Design Rule Check) Sonuçları

DRC Araç ve Versiyon:

- Cadence PVS (Physical Verification System) v21.1
- PDK: [PDK_NAME] DRC deck v2.5

DRC Run Özeti:

Run	Tarih	Toplam Hata	Kritik	Uyarı	Durum
DRC-1	10 Nisan	47	18	29	Fail
DRC-2	18 Nisan	12	3	9	Fail
DRC-3	25 Nisan	0	0	0	PASS

DRC-1 Hata Kategorileri ve Düzeltmeler:

Kural	Açıklama	Adet	Düzeltilme Aksiyonu
M1.S.1	Metal-1 min spacing	8	Wire rerouting + spacing artırma
M3.W.2	Metal-3 min width	5	Via size düzeltme
POLY.A.3	Poly area density	3	Dummy poly fill ekleme
DIFF.E.1	Diffusion enclosure	2	Contact array yeniden yerleşim

Final DRC-3 Durum:

- ✓ 0 kritik hata
- ✓ 0 uyarı
- ✓ Tüm metal density kuralları pass (%20-80 aralığında)
- ✓ Antenna kuralları pass
- ✓ ESD protection kuralları pass

Teslim Paketi:

- DRC rapor dosyası: AETHER_chip_top_drc_clean.rpt
- GDSII: AETHER_chip_top_v1.0.gds
- DRC deck versiyonu: PDK_DRC_v2.5

11. LVS (Layout vs Schematic) Sonuçları

LVS Araç ve Versiyon:

- Cadence PVS LVS v21.1
- PDK: [PDK_NAME] LVS deck v2.5

LVS Run Özeti:

Run	Tarih	Net Match	Device Match	Pin Match	Durum
LVS-1	12 Nisan	Fail (2 net)	Fail (1 dev)	Pass	Fail
LVS-2	20 Nisan	Pass	Pass	Pass	MATCH

LVS-1 Hata Detayları ve Düzeltmeler:

1. Net Mismatch:

- Hata: BGR bias net eksik bağlantı
- Sebep: Via eksikliği (M2-M3 geçişi)
- Düzeltme: Via array eklendi

2. Device Mismatch:

- Hata: PMOS M12 layout'ta yok
- Sebep: Şematik güncelleme sonrası layout sync eksik
- Düzeltme: M12 layout'a eklendi

LVS-2 Final Durum:

- ✓ **MATCH** (Schematic = Layout)
- ✓ Net count: 347 (schematic) = 347 (layout)
- ✓ Device count: 128 (schematic) = 128 (layout)
- ✓ Pin count: 12 (top-level) = 12 (layout)
- ✓ Tüm parametreler match (W, L, M, fingers)

Teslim Paketi:

- LVS rapor: AETHER_chip_top_lvs_match.rpt
- Extracted netlist: AETHER_chip_top_extracted.scs
- Cross-reference file: AETHER_lvs_xref.txt

12. Çip Tasarım Akışı (End-to-End)

Tasarım Akış Şeması:

1. Sarfname Analizi (1 hafta)
↳ Çıktı: Requirement matrix, spec table
↓
2. Mimari Tasarım (1 hafta)
↳ Çıktı: Block diagram, topoloji seçimi
↓
3. Şematik Tasarım (2 hafta)
Tool: Virtuoso Schematic Editor
↳ Çıktı: .sch dosyaları, netlist
↓
4. Simülasyon (2 hafta)
Tool: Spectre (APS), ADE Assembler
↳ Çıktı: Eye diagram, TC curve, PSRR plot
↓
5. ÖTR Hazırlık (1 hafta)
↳ Teslim: 16 Mart 2026
↓
6. Layout Tasarım (4 hafta)
Tool: Virtuoso Layout XL
↳ Çıktı: .gds dosyası
↓
7. PEX (Parasitic Extraction) (1 hafta)
Tool: Quantus QRC
↳ Çıktı: Extracted netlist + parasitics
↓
8. Post-Layout Simülasyon (1 hafta)
Tool: Spectre + PEX netlist
↳ Çıktı: Sch vs PEX comparison table
↓
9. DRC/LVS (2 hafta, iteratif)
Tool: PVS DRC/LVS
↳ Çıktı: Clean DRC, LVS match
↓
10. DTR Hazırlık (2 hafta)
↳ Teslim: 15 Mayıs 2026
↓
11. Final Paket (1 hafta)
↳ Teslim: 31 Temmuz 2026

Toplam Süre: 18 hafta (13 Şubat - 31 Temmuz 2026)

Kritik Yol (Critical Path):

Şematik → Simülasyon → Layout → PEX → Post-sim → DRC/LVS
(Bu zincirde gecikme tüm projeyi etkiler)

13. Takım Organizasyonu ve Sorumluluklar

Takım Yapısı:

Üye	Rol	Uzmanlık	Blok Sorumluluğu	Sprint Odağı
[İsim-1]	AFE Tasarımcı	Yüksek hızlı analog	CTLE + Yükselteç	S1-S7 (Şematik+Layout)
[İsim-2]	BGR Tasarımcı	Referans devreleri	Bandgap + Opamp	S1-S7 (Şematik+Layout)
[İsim-3]	Doğrulama Mühendisi	Simülasyon/Test	Testbench + otomasyon	S2-S6 (Sim+PEX)
[İsim-4]	Layout/Signoff	Fiziksel tasarım	Top-level layout, DRC/LVS	S5-S7 (Layout+Signoff)
[İsim-5]	Proje Lideri	Sistem entegrasyonu	Koordinasyon + raporlama	S1-S7 (Tüm sprintler)

Sprint Bazlı Görev Dağılımı:

Sprint-2 (Şematik v1):

- İsim-1: AFE şematik → v1 tamamla
- İsim-2: BGR şematik → v1 tamamla
- İsim-3: Testbench kurulum → AFE-01, BGR-01 çalışır
- İsim-4: Layout plan → Floor plan hazır
- İsim-5: ÖTR outline → İçerik taslağı

Sprint-5 (Layout):

- İsim-1: AFE layout → %50 tamamlanma
- İsim-2: BGR layout → %100 tamamlanma
- İsim-3: BGR PEX sim → İlk sonuçlar
- İsim-4: BGR DRC/LVS → Temizlik başlangıcı
- İsim-5: DTR outline → İçerik taslağı

İletişim Protokolü:

- Günlük stand-up: 09:00 (15 dk)
- Haftalık teknik review: Çarşamba 14:00
- Sprint retrospective: Her sprint sonu Cuma
- Acil teknik destek: Slack #aether-rx8 kanalı

14. Risk Yönetimi ve Azaltma Stratejileri

Risk Matrisi:

Risk ID	Risk	Olasılık	Etki	Skor	Öncelik
R-01	Post-layout TC bozulması	Orta (50%)	Yüksek (8)	4.0	Kritik
R-02	Eye kapanması (PEX)	Orta (40%)	Yüksek (9)	3.6	Kritik
R-03	DRC metal density fail	Düşük (20%)	Orta (6)	1.2	Orta
R-04	PSRR düşmesi (parasitik)	Orta (50%)	Orta (5)	2.5	Orta
R-05	Cadence lisans kesintisi	Düşük (10%)	Yüksek (10)	1.0	Düşük
R-06	LVS net mismatch	Orta (30%)	Orta (7)	2.1	Orta

Detaylı Risk Planları:

R-01: Post-Layout TC Bozulması

- Tetikleyici: PEX sim'de TC >12 ppm/°C
- Mitigation: 3-bit trim ağı + common-centroid layout
- Contingency: Trim kalibrasyonu ile post-silicon düzeltme
- Sorumlu: İsim-2 (BGR tasarımcı)
- Durum: Trim ağı eklendi, TC 9.4 ppm/°C → **Risk azaldı**

R-02: Eye Kapanması (Post-PEX)

- Tetikleyici: Eye width <0.38 UI (PEX)
- Mitigation: Şematik hedefi %20 marjlı (0.44 UI)
- Contingency: Bandwidth artırma (load cap azaltma)
- Sorumlu: İsim-1 (AFE tasarımcı)
- Durum: PEX sonuç 0.41 UI → **Pass, risk kapandı**

R-04: PSRR Düşmesi

- Tetikleyici: PSRR >-5 dB @1kHz (PEX)
- Mitigation: On-chip decap array + kaskotlu bias
- Contingency: External filtering (eğer on-chip yetersiz)
- Sorumlu: İsim-2
- Durum: PEX sonuç -9.8 dB → **Pass, risk kapandı**

R-05: Lisans Kesintisi

- Tetikleyici: Lisans sunucusu 2+ gün erişilemez
- Mitigation: Haftalık backup (local + cloud)
- Contingency: Alternatif üniversite lisansına geçiş
- Sorumlu: İsim-5
- Durum: Backup rutin çalışıyor → **Aktif izleme**

15. Final Teslim Paketi İçeriği

Teslim Klasör Yapısı:

```

AETHER RX8 Final_Delivery/
├── 01 Schematic/
│   ├── AETHER_afe_top_sch.pdf
│   ├── AETHER_bqr_core_sch.pdf
│   ├── AETHER_chip_top_sch.pdf
│   └── netlists/
│       ├── AETHER_afe_top.scs
│       └── AETHER_bqr_core.scs
├── 02 Simulation_Results/
│   ├── AFE/
│   │   ├── eye_diagram_10dB.png
│   │   ├── eye_diagram_20dB.png
│   │   ├── S11_plot.png
│   │   └── AFE_simulation_summary.xlsx
│   └── BGR/
│       ├── TC_curve.png
│       ├── PSRR_plot.png
│       ├── startup_transient.png
│       └── BGR_simulation_summary.xlsx
├── 03 Layout/
│   ├── AETHER_chip_top_v1.0.gds
│   ├── layout_screenshots/
│   │   ├── BGR_layout.png
│   │   ├── AFE_layout.png
│   │   └── chip_floorplan.png
│   ├── extraction/
│   │   ├── AETHER_chip_top_pex.scs
│   │   └── AETHER_pex_report.rpt
├── 04 Signoff/
│   ├── DRC/
│   │   ├── AETHER_chip_top_drc_clean.rpt
│   │   └── DRC_summary.pdf
│   └── LVS/
│       ├── AETHER_chip_top_lvs_match.rpt
│       └── LVS_summary.pdf
├── 05 Post Layout Simulation/
│   ├── AFE_postlayout_eye.png
│   ├── BGR_postlayout_TC.png
│   └── SchVsPEX_comparison.xlsx
├── 06 Reports/
│   ├── AETHER_RX8_OTR_v1.0.pdf
│   ├── AETHER_RX8_DTR_v1.0.pdf
│   └── AETHER_RX8_Final_Presentation.pptx
├── 07 Documentation/
│   ├── Design_Specification.pdf
│   ├── Test_Plan.pdf
│   ├── Risk_Management_Plan.pdf
│   └── User_Guide.pdf
└── README.txt (Teslim paketi açıklaması)

```

Teslim Kontrol Listesi:

- [] Şematik PDF'leri (tüm hiyerarşi)
- [] Netlist dosyaları (.scs format)
- [] Simülasyon sonuçları (grafik + tablo)
- [] GDSII layout dosyası (v1.0, final)

- [] PEX extracted netlist
- [] DRC clean raporu (0 hata)
- [] LVS match raporu
- [] Post-layout simülasyon sonuçları
- [] Sch vs PEX karşılaştırma tablosu
- [] ÖTR raporu (PDF, 9 sayfa max)
- [] DTR raporu (PDF, 30 sayfa max)
- [] Final sunum (PPT, 15-20 slayt)
- [] README.txt (dosya yapısı açıklaması)

Dosya İsimlendirme Kuralı:

Format: AETHER_<blok>_<tip>_<versiyon>.<uzantı>

Örnek: AETHER_bgr_core_sch_v1.0.pdf

16. Sonuç ve Gelecek Çalışmalar

Proje Başarı Özeti:

- ✓ Tüm şartname kriterleri **PASS** durumunda
- ✓ Post-layout simülasyonları şartname içinde
- ✓ DRC temiz (0 hata)
- ✓ LVS match (schematic = layout)
- ✓ Teslim paketi tam ve zamanında

Kriter Durumu (17/17 Pass):

Kategori	Toplam Kriter	Pass	Fail	Başarı Oranı
AFE	8	8	0	%100
BGR	7	7	0	%100
Signoff	2	2	0	%100
TOPLAM	17	17	0	%100

Kısıtlamalar ve Varsayımlar:

- PDK Kısıtlaması:** Indüktör Q faktörü <5 nedeniyle LC-based CTLE kullanılamadı
- Layout Alanı:** Chip boyutu ~30000 μm^2 (200x150 μm), daha kompakt olabilirdi
- Simülasyon Süresi:** Post-PEX eye diagram sim ~8 saat (optimizasyon gerekebilir)
- Test Kısıtı:** Gerçek silicon ölçümü yapılamadı (simülasyon bazlı doğrulama)

Öğrenilen Dersler:

- Erken Marj Belirleme:** Şematik hedefi %20 marjlı belirlemek post-layout düşüşünü absorbe etti
- Trim Esnekliği:** 3-bit trim ağı TC düzeltmesinde kritik rol oynadı
- PEX Önemi:** Layout'un ilk iterasyonunda bile PEX çalıştırmalıydık (zaman kazanırdık)
- DRC Otomasyonu:** Her layout değişikliğinde incremental DRC çalıştırmak hata bulma süresini kısalttı

Gelecek Çalışma Önerileri:

- Performans İyileştirme:**
 - Veri hızını 10 Gbps'e çıkarma (bant genişliği artırma)
 - Güç tüketimi optimizasyonu (bias akımlarını azaltma)
 - Chip alanı küçültme (%20 hedef)
- Ek Özellikler:**
 - On-chip kalibrasyon (otomatik trim)

- Built-in self-test (BIST) bloęu ekleme
- Dijital kontrol interface (SPI/I2C)

3. Farklı Process Node:

- 28nm veya daha küçük teknoloji (alan/güç avantajı)
- FinFET process (daha iyi matching, düşük leakage)

4. Silicon Doğrulama:

- Tape-out ve gerçek çip üretimi
- Lab ölçümleriyle simülasyon validasyonu
- Yield analizi ve production readiness

17. Kaynakça

- [1] B. Razavi, "Design of Integrated Circuits for Optical Communications", 2nd ed., Wiley, 2012.
- [2] Teknofest 2026 Analog Çip Tasarım Yarışması Şartnamesi, TÜBİTAK, 2026.
- [3] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits", 5th ed., Wiley, 2009.
- [4] Cadence Design Systems, "Virtuoso Schematic Editor User Guide", v21.1, 2023.
- [5] Cadence Design Systems, "Spectre Circuit Simulator Reference", v21.1, 2023.
- [6] Cadence Design Systems, "Quantus QRC Extraction User Guide", v21.1, 2023.
- [7] M. J. M. Pelgrom, "Analog-to-Digital Conversion", 3rd ed., Springer, 2017.
- [8] K. Bult and G. Geelen, "A fast-settling CMOS op amp for SC circuits with 90-dB DC gain," IEEE J. Solid-State Circuits, vol. 25, no. 6, pp. 1379-1384, Dec. 1990.
- [9] H. Banba et al., "A CMOS bandgap reference circuit with sub-1-V operation," IEEE J. Solid-State Circuits, vol. 34, no. 5, pp. 670-674, May 1999.
- [10] J. L. Sonntag and J. Stonick, "A digital clock and data recovery architecture for multi-gigabit/s binary links," IEEE J. Solid-State Circuits, vol. 41, no. 8, pp. 1867-1875, Aug. 2006.
- [11] M. Ortmanns and F. Gerfers, "Continuous-Time Sigma-Delta A/D Conversion: Fundamentals, Performance Limits and Robust Implementations", Springer, 2006.
- [12] C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," Proc. IEEE, vol. 84, no. 11, pp. 1584-1614, Nov. 1996.
- [13] JEDEC Standard, "Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits", JESD8-7A, 2015.
- [14] IEEE Standard 802.3, "Ethernet Physical Layer Specifications", 2018.
- [15] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", 2nd ed., Cambridge University Press, 2004.